



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02087399 A**(43) Date of publication of application: **28 . 03 . 90**

(51) Int. Cl. **G11C 29/00**  
**G06F 11/22**  
**G11C 11/401**

(21) Application number: **63239223**(71) Applicant: **NEC IC MICROCOMPUT SYST LTD**(22) Date of filing: **22 . 09 . 88**(72) Inventor: **OBARA TAKASHI**

(54) **SYSTEM FOR TESTING SEMICONDUCTOR  
 MEMORY**

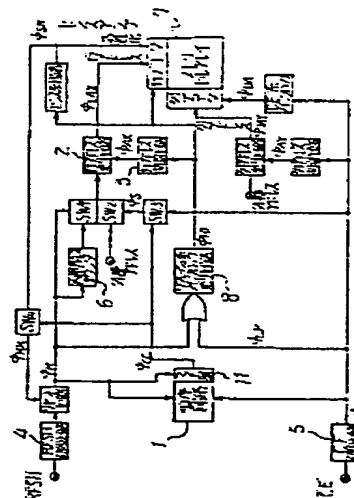
easily executed.

COPYRIGHT: (C)1990,JPO&amp;Japio

(57) Abstract:

PURPOSE: To facilitate the analysis of a defect, etc., by setting a mode to utilize an input timing to be inhibited on a specification in a dummy static RAM, and realizing a page mode with an action separation between a row side and a column side.

CONSTITUTION: In the dummy static RAM, a counter check mode to utilize the mode of the input sequence of an external control pin to be inhibited on the spec and a circuit necessary for realizing it are utilized. Further, the page mode after a counter check is realized by a means to prevent the reset action of a refresh system signal by a chip enable reset such as the addition of a latch circuit 11 to a sequence circuit 1 used for the mode decision of the counter check mode. On the defect analysis and evaluation of a design and a trial early stage, the row side, namely, a refresh action system, and the column side, namely, a data control system, are separated. Thus, the evaluation in the design trial early stage, the estimation of a defect cause at the time of the analysis of the defect, etc., the specification of a defective place, etc., can be





①

⑬ 日本国特許庁(JP)

⑭ 特許出願公開

⑯ 公開特許公報(A)

平2-87399

① Int.Cl.

識別記号

庁内整理番号

② 公開 平成2年(1990)3月28日

G 11 C 29/00  
G 06 F 11/22  
G 11 C 11/401

3 0 3 B  
3 4 0 Z

7737-5B  
7368-5B

8522-5B G 11 C 11/34 3 7 1 A

審査請求 未請求 請求項の数 1 (全7頁)

④ 発明の名称 半導体メモリのテスト方式

⑤ 特 願 昭63-239223

⑥ 出 願 昭63(1988)9月22日

⑦ 発 明 者 小 原 隆 東京都港区芝5丁目7番15号 日本電気アイシーマイコン  
システム株式会社内

⑧ 出 願 人 日本電気アイシーマイ  
コンシステム株式会社 東京都港区芝5丁目7番15号

⑨ 代 理 人 弁理士 内 原 晋

## 明 細 書

### 発明の名称

半導体メモリのテスト方式

### 特許請求の範囲

ダイナミック型の1トランジスタセルを用いて外部制御ピンをスタティックラムと同一とし、行側アドレスと列側アドレスの時間分離を行なうことなく、シングルアドレス入力方式として書き込み及び読み出し動作の制御を第1の外部制御のチップイネーブルピンによって行なう擬似スタティックラムにおいて、ダイナミックラム特有のリフレッシュ動作を自動的に行なわせるための第2の外部制御のリフレッシュピンと前記第1の外部制御ピンとを用い、仕様上禁止されている入力タイミングを利用したモードを設定して、行側と列側の動作分離によるページモードを実現することを特徴とする半導体メモリのテスト方式。

### 発明の詳細な説明

#### (産業上の利用分野)

本発明は、MOS型電界効果トランジスタによって構成された半導体メモリのテスト方式に関し、特に1トランジスタ型ダイナミックセルによって構成され、使用上の簡便さから、スタティックラムとピンコンパチブルとした擬似スタティックラムのテスト方法に関する。

#### (従来の技術)

擬似スタティックラムは、ダイナミック型のセルを用いて集積度をダイナミックラムと同程度としながら、ダイナミックセル特有の煩雑なリフレッシュ動作制御を簡易化し、見がけ上スタティックラムの様に扱えることを目標とし、スタティックラムに対する低コストの優位性を持たせたダイナミックラムであり、その位置づけは、ダイナミックラムとスタティックラムの中間的なものとされている。

従って、基本となるメモリセルがダイナミック型であるためリフレッシュ動作の必要性が生じ、

又それに伴う消費電流の増大を招く等のダイナミックラムの特徴を抑え、いかにスタティックラムに近づけるかが、擬似スタティックラムの第一の要求特性となる。

擬似スタティックラムはこの特性を満たすため、スタティックラムにおいて用いられていないピンや、 $\overline{OE}$  (アウトプットネーブル) ピンを用いて、これをリフレッシュ制御ピン  $RFSH$  とし、このピンを活性化するタイミングや、活性化幅を利用して、各種のリフレッシュモードを設定している。

特に、この  $RFSH$  ピンを長時間活性化状態に保つことのみによって実現されるセルフリフレッシュモードは、スタティックラムのスタンバイ状態に相当し、汎用ダイナミックラムとの最大の相違点となっている。このセルフリフレッシュモードは、2進カウンタ等により構成され、自動的にインクリメントあるいはデクリメントされる様な内部アドレスカウンタと、自動的にリフレッシュタイミングを発生する内部タイマー等を必要と

レスとして取り込み、次に  $\overline{CE}$  ピンを活性化して外部から任意の列アドレスを入力し、選択セルを決定して読み出し及び書き込み動作を行なうことにより、内部カウンタ動作を試験するものである。この入力タイミングは、通常のランダムアクセス読み取り及び書き込み時には禁止されているモードであり、あくまでも製品試験時用のモードとなっている。

第5図にこのカウンタチェックモードを実現する場合のブロックダイヤグラムの一例を示す。

このダイヤグラムは、メモリのリフレッシュ動作部及びアドレスの制御部のみを示している。このブロックダイヤグラムに示す様に、汎用ダイナミック回路のカスビフォアラスリフレッシュモード時に採用される様な  $RFSH$ 、 $\overline{CE}$  ピン間の順序回路を必要とし、 $RFSH$  が先に活性化し、さらに  $\overline{CE}$  が連続して活性化された場合に活性化される信号  $\phi_{cc}$  を発生させる第1の順序回路51と、カウンタチェックモード時に発生するこの信

し、 $RFSH$  ピンをある程度以上の時間活性化状態に保つことによってこのモードに入る様になっている。

この、内部アドレスカウンタは、汎用ダイナミックラムに搭載されるカスビフォアラスリフレッシュモード用に採用されるものと同様に、内部で行アドレスに割り当てられ、ダイナミックセルのゲート制御線であるワード線の選択を行なう外部アドレス相当分だけあれば良く、列アドレスに相当するアドレスに対しては必要としない。

従来、擬似スタティックラムでは、前述のセルフリフレッシュモードに用いる内部アドレスカウンタの試験として、カウンタチェックモードを設定し、内部アドレスカウンタにより発生する内部アドレスが、正常に動作しているかどうかのチェックを行っている。

第6図に、このカウンタチェックモードのタイミング図を示す。

この図に示す様に、まず  $RFSH$  ピンを活性化し、内部で発生するカウンタのアドレスを行アド

レス  $\phi_{cc}$  を用いることにより、行アドレス発生回路52に inputs するアドレス信号  $\phi_a$  の新たな変化を防止する手段とによってカウンタチェックモードが実現されている。以下に第5図に示すブロックダイヤグラムと、第6図のタイミングチャートとにより、カウンタチェックモード動作を説明する。

基本的に、リフレッシュ動作を制御する内部信号  $\phi_{rp}$  は、リフレッシュを制御する外部ピン  $RFSH$ 、又は  $\overline{CE}$  の2系統の信号  $\phi_a$ 、 $\phi_c$  の  $OR$  回路により発生し、内部行アドレスは  $\phi_a$  活性化時は、内部カウンタにより発生する内部アドレスを、又  $\phi_c$  活性化時には、外部アドレス入力ピンのデータをそれぞれ行アドレス発生回路52に inputs する。

行アドレス制御回路53は、リフレッシュ制御のメインクロック  $\phi_{rp}$  により制御され、タイミングは、 $RFSH$  系、 $\overline{CE}$  系それぞれの内部信号  $\phi_a$ 、 $\phi_c$  によって決定されている。又、列アドレスは、リフレッシュ動作のみを制御する  $RPS$

H系とは無関係に、 $\overline{CE}$ 系からのみの制御となっている。

第6図中の時刻 $t_0$ において、 $\overline{RFSH}$ が活性化すると、第5図中の $\overline{RFSH}$ 初段回路54により内部信号 $\phi_a$ が活性化する。この動作により、内部アドレスカウンタがイネーブルとなり、内部アドレス側のスイッチ $SW_1$ を開き、行アドレス発生回路には、内部アドレスデータを持つ信号 $\phi_a$ が入力される。このとき、外部アドレス側のスイッチ $SW_2$ は、 $\overline{CE}$ が活性化されていないため開いていない。

内部信号 $\phi_a$ が入力される行アドレス発生回路52は、 $\phi_a$ と $\phi_c$ の論理和によって発生する信号 $\phi_{ax}$ の制御を受ける行アドレス制御回路53の出力 $\phi_{ax}$ により活性化し、出力アドレス $\phi_{ax}$ を発生することになる。

時刻 $t_1$ において、外部アドレス入力タイミングパルスとして $\overline{CE}$ が活性化すると、 $\overline{CE}$ 初段回路55により $\phi_c$ が活性化される。列側の制御系

は、 $\overline{RFSH}$ の状態とは無関係であるため通常通り動作し、列アドレス制御信号 $\phi_{ay}$ 、列デコード制御信号 $\phi_{da}$ 等を活性化しながら、外部アドレスデータによる出力列アドレス $\phi_{ay}$ を発生する。

一方、行アドレスに関しては、既に、内部アドレスによる出力行アドレス $\phi_{ax}$ が出力されており、指定ワード線上のセルのリフレッシュ動作を行なっている。このため、通常の $\overline{CE}$ サイクルと同様に外部アドレスを入力し、出力行アドレスとして外部行アドレスを新たに出力させるという動作は不必要となり、又、内部カウンタのチェックという面では不都合となってくる。従って、カウンタチェックモードのタイミング、すなわち、 $\overline{RFSH}$ が活性化し、連続して $\overline{RFSH}$ 活性化中に $\overline{CE}$ が活性化する場合に発生する順序回路51の出力信号 $\phi_{cc}$ を利用し、 $\overline{CE}$ 系信号 $\phi_c$ の内外アドレス切換スイッチ $SW_2$ への入力信号 $\phi_c$ の発生を防いでいる。

時刻 $t_2$ において、 $\overline{RFSH}$ 、 $\overline{CE}$ ともに活性

化して行、列アドレス共に取り込んだ状態で、 $\overline{WE}$ 又は $\overline{OE}$ を活性化すると、内部アドレスカウンタ56の出力による行アドレスと、外部アドレス入力データを出力とする列アドレス $\phi_{ay}$ とにより指定されたメモリセルアレイ57の選択セルに対し、書き込み又は読み出し動作が可能となるわけである。

時刻 $t_3$ において $\overline{CE}$ が非活性化されると、リフレッシュ系メインクロック発生回路58の出力信号 $\phi_{ar}$ はリセットされ、 $Word$ 線、行アドレス $\phi_{ax}$ 等はリセットされる。さらに、時刻 $t_4$ において $\overline{RFSH}$ が非活性化されると、信号 $\phi_a$ がリセットされ、メモリは $t_0$ 以前の元の状態に戻る。

第7図に、順序回路の具体例の一つとその発生タイミングを、第8図には行アドレス系の回路の具体例の一つを示す。通常の $\overline{RFSH}$ によるパルスリフレッシュ動作時には、信号 $\phi_a$ が活性化してハイレベルに、又、信号 $\phi_c$ はロウレベルと

なるため、 $\phi_{cc}$ はロウレベルを保ち、 $SW_3$ の出力信号 $\phi_s$ はロウレベルを保ち、内部アドレスカウンタの出力信号が活性化された信号 $\phi_a$ をゲート制御信号とする $SW_1$ のトランジスタを通して行アドレス発生回路の出力信号 $\phi_a$ となる。一方、 $\overline{RFSH}$ 側信号 $\phi_a$ により活性化されたメインクロック $\phi_{ar}$ は、行アドレス制御回路をイネーブルとし、この出力信号 $\phi_{ax}$ をハイレベルとしているため、行アドレス発生回路は活性化状態となり、出力信号 $\phi_{ax}$ を出力する。

又、通常の $\overline{CE}$ サイクルにより $Read$ 、 $Write$ 又はリフレッシュを行なう場合には、 $\overline{CE}$ 系信号 $\phi_c$ がハイレベル、 $\overline{RFSH}$ 系信号 $\phi_a$ がロウレベルであるため、この場合も $\phi_{cc}$ はロウレベルを保つ。このため、第8図中のインバータI5とノアO1とによって形成されるスイッチ $SW_3$ はイネーブルとなり、 $\phi_s$ は $\phi_c$ 同様のハイレベルとなって、外部アドレスピンデータをラッチした後の外部アドレスを信号 $\phi_a$ のデータとする。行アドレス発生回路の活性化信号 $\phi_{ax}$ は、

$\overline{CE}$ 系信号 $\phi_c$ の活性化により発生する $\phi_{cc}$ 信号によってイネーブルとなる。

カウンタチェックモードにおいては、第7図の順序回路図中のナンド回路N1及びN2によって形成されるラッチ回路が先に活性化する $\phi_a$ 信号によりセットされ、ナンド回路N3がイネーブル状態となる。さらに、 $\overline{CE}$ の活性化により $\phi_c$ 信号がハイレベルとなることにより、ナンド回路N3の入力がすべてハイレベルとなって、出力信号 $\phi_{cc}$ は始めてハイレベルとなる。この信号 $\phi_{cc}$ がハイレベルであるため、SW3回路の出力信号 $\phi_a$ はロウレベルを保ち、先にSW1を通して出力されている内部アドレスカウンタによるアドレス $\phi_{ax}$ のデータを破壊することはないのである。この様な回路により、従来の擬似スタティックラムは、内部アドレスカウンタのチェックを行なっている。

〔発明が解決しようとする課題〕

上述した従来の擬似スタティックラムのチェッ

クモードは、スベックにおける禁止タイミングを利用しながら、リフレッシュ動作に用いる内部アドレスカウンタのチェックにのみ用いており、汎用ダイナミックラムにおける $\overline{RAS}$ 側すなわちデータの制御を行なう側のチェックは、独立したモードとして行なわれ得ないという欠点があった。

従来、この種の擬似スタティックラムは、スタティックラムとの互換性を重視し、ピン配置、本数や、パッケージに関しても同一であることが多く、同期型のシングルアドレス入力方式を用い、チップの制御も $\overline{CE}$ （チップイネーブル）ピン1つとなっており、従来の汎用ダイナミックラムの様な行、列アドレスの時間分離によるマルチアドレス方式を用いたページモードの実現は不可能となっていた。

従って、設計試作初期における評価や、不良の解析等の際には、不良原因の推定、不良場所の特定等に不便となることが多かった。

汎用ダイナミックラムの様なセル構造、周辺回路構成を持ちながら、外部ピンがスタティックラ

ムと同一であるため、列アドレスを固定して行アドレスのみを随意に変化させるページモードが本来的に機能として搭載不能であるために、ダイナミックラム特有のリフレッシュ動作とデータの入出力制御動作との分離が明らかにされないために、不良等の場合にその解析に時間がかかる、あるいは、非常に困難になってしまう等の不都合が生じて来ている。

〔課題を解決するための手段〕

本発明のカウンタチェック後のページモードテストは、従来のカウンタチェックモード実現のためにも必要であった $RFSH$ 、 $\overline{CE}$ 入力タイミングを判定し、カウンタチェックモードに入るための順序回路と、カウンタチェックモード時の $\overline{CE}$ 活性化時に新たに外部アドレスを取り込み、センス中のワード切り換え等を引き起こすことのない様にする手段との外に、従来の擬似スタティックラムではカウンタチェックモードの終了を意味し、ワードのリセット、センスアンプの非活性化、ディジット線のバランス、プリチャージ等の

リフレッシュ系のリセットを開始した $\overline{CE}$ のリセット時にも、ワード線のレベル、センスアンプ活性化状態を保持する手段を有している。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例のブロックダイヤグラムである $\overline{CE}$ のリセットによるリフレッシュ系のリセットを防止する手段として順序回路の出力信号であった $\phi_{cc}$ をラッチし、 $RFSH$ のリセットまで、この $\phi_{cc}$ 信号の活性化状態を保持するラッチ回路11を有し、カウンタチェックモード後のページモードを実現可能としている。

第5図に示す従来回路のブロックダイヤグラム図及び第7図に示す従来の $\phi_{cc}$ 信号発生順序回路51からもわかる様に、カウンタチェックモードのリセットは順序回路の出力信号 $\phi_{cc}$ の非活性化、すなわち、 $RFSH$ 、 $\overline{CE}$ どちらかの非活性化によって行なわれていた。

擬似スタティックラム特有のRFSHによる活性化時の自動リセット信号 $\phi_{aa}$ によるモードリセットも、信号 $\phi_{cc}$ によって制御されるスイッチSW4によって阻止されているため、実行され得ない。

この従来回路に対しCEの非活性化時に $\phi_{cc}$ をリセットすることなく、再度のCE活性化時に、再び外部アドレスを取り込もうとすることを阻止し、又、自動リセットバスも阻止し続けることにより、CEは列側の制御のみを行ない、RFSHのリセットにより始めて、このカウンタチェックページモードが解除されることになる。

第2図は、ラッチ回路を含んだカウンタチェックページモード信号発生回路の具体的実施例の一つである。RFSH同期信号である $\phi_a$ により、出力 $\phi_{cc}$ は初期リセット状態にあり、 $\phi_a$ 次にCE同期信号 $\phi_c$ の順に活性化することによって $\phi_{cc}$ は活性化し、自分自身を入力信号とするNANDN5及びN6により構成されるラッチ回路

によって活性化状態を保持し、RFSH同期の信号 $\phi_a$ のみによって $\phi_{cc}$ はリセットされることになるため、一度RFSH、CEの順に活性化した後は、CEの状態に関わらず、カウンタチェックページモードのモードラッチ信号としてCE活性化時の外部アドレス取り込みの阻止、自動リセットバスの阻止を行ない、カウンタチェックページモードを実現することを可能とすることができる。第4図に本発明のカウンタチェックページモードのタイミングチャートを示す。

第3図は第2図とは異なる他のカウンタチェックページモード信号発生回路の具体的な第2の実施回路である。

ラッチ回路としては、リセット信号としてのRFSH同期信号 $\phi_a$ を入力信号とするNAND回路N5及びN8とから構成されるRSF/Pとなっており、第1のこの回路の実施例と同様に、この回路の出力信号 $\phi_{cc}$ は、RFSH、CEの順に活性化し、カウンタチェックモードに入ってし

まえば、その後CEがトグルしても、RFSHがリセットされない限り活性化状態を保ち、カウンタチェックページモードが可能となる。

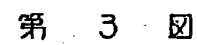
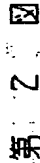
〔発明の効果〕

以上説明したように本発明は、擬似スタティックラムにおいて、従来から存在するスベック上禁止されている外部制御ピンの入力順序のモードを利用したカウンタチェックモードと、それを実現するために必要であった回路とを利用し、さらに、カウンタチェックモードのモード判定に用いる順序回路にラッチ回路を加える等の、CEリセットによるリフレッシュ系信号のリセット動作を防止する手段とによってカウンタチェック後のページモードを実現し、設計、試作初期の不良解析や評価の上で、行側、すなわちリフレッシュ動作系と、列側すなわち、データコントロール系を分離することによる能率化を行ない、短時間で効率の良い擬似スタティックラムの量産化を可能とするという効果がある。

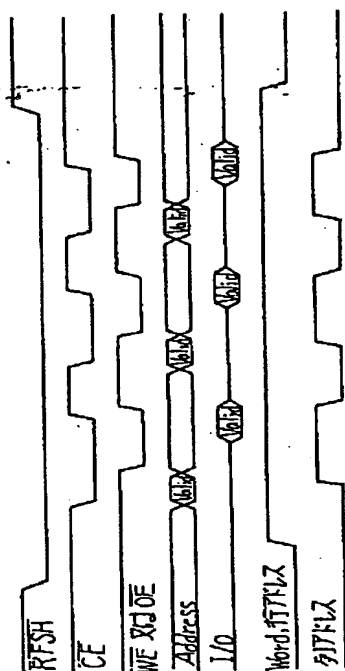
図面の簡単な説明

第1図は本発明のカウンタチェックページモードを実現する上での一実施例を示すブロックダイヤグラム、第2図は本発明を実現する上での具体的回路の第1の実施例を、第3図は具体的回路例の第2の実施例、第4図は本発明のカウンタチェックページモードのタイムチャート、第5図は従来の擬似スタティックラムにおけるカウンタチェックモードを実現する場合のブロックダイヤグラム、第6図は従来のカウンタチェックモードのタイミングチャート、第7図は従来のカウンタチェックモードを実現する上での順序回路の具体例、第8図は本発明、従来例共に使用する行アドレス系の具体的回路例を示す。

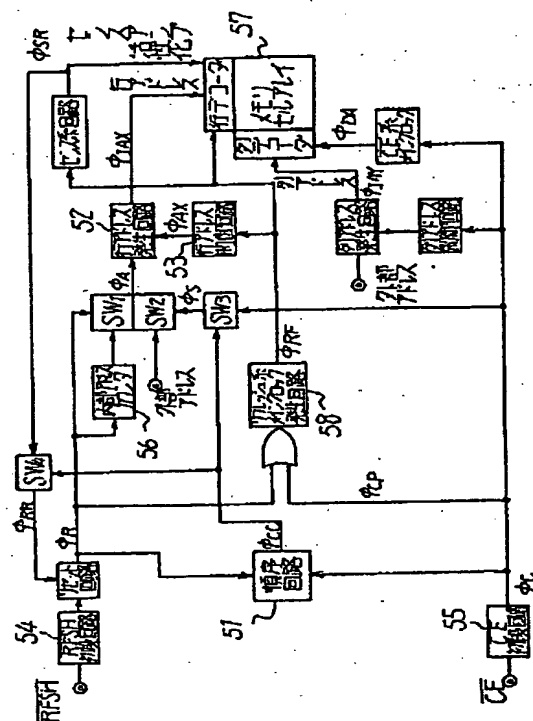
1. 51…順序回路、2. 52…行アドレス発生回路、3. 53…行アドレス制御回路、4. 54…RFSH初期回路、5. 55…CE初期回路、6. 56…内部アドレスカウンタ、7. 57…メモリアレイ、8. 58…リフレッシュ系メ



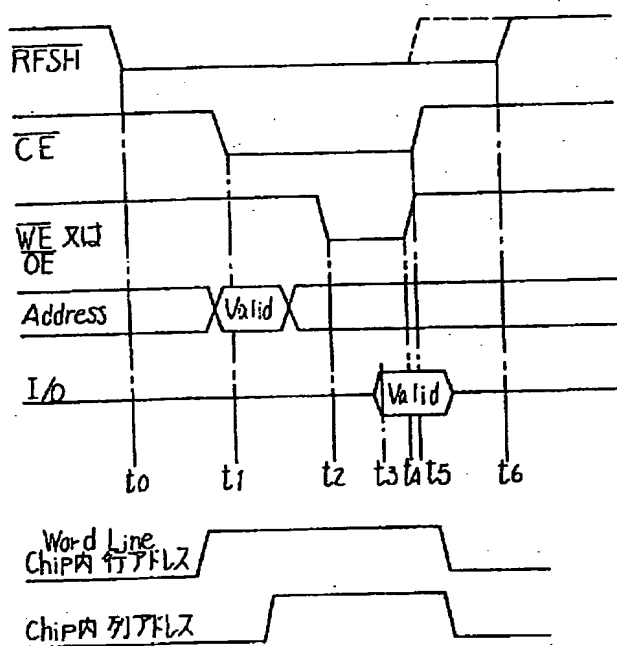




第 4 章



第五圖



第 6 圖

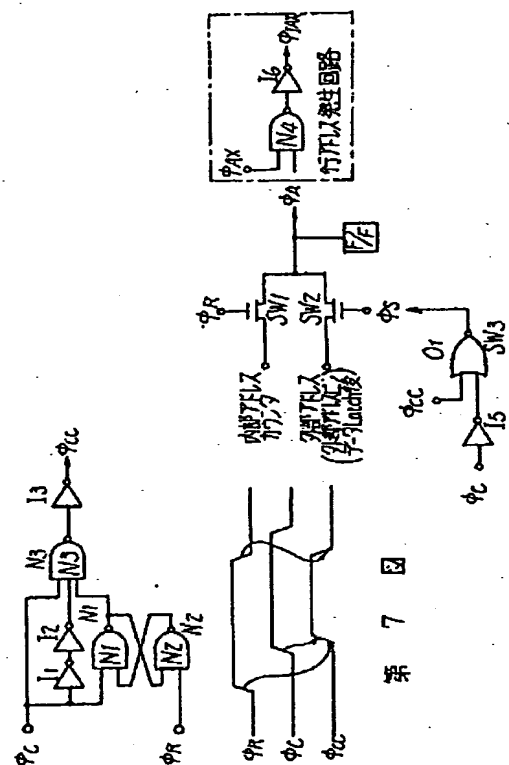


圖  
○  
取

